

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

1 9 9 9 年 2 月 1 9 日

出 願 番 号

Application Number:

平成 1 1 年特許願第 0 4 1 3 4 3 号

出 願 人

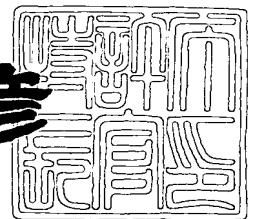
Applicant (s):

株式会社東芝

2 0 0 0 年 1 月 2 8 日

特 許 庁 長 官
Commissioner,
Patent Office

近 藤 隆 彦



出証番号 出証特 2 0 0 0 - 3 0 0 1 1 6 3

【書類名】 特許願

【整理番号】 A009900277

【提出日】 平成11年 2月19日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/00

【発明の名称】 半導体装置及びその製造方法

【請求項の数】 10

【発明者】

 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横
 浜事業所内

 【氏名】 須黒 恭一

【発明者】

 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横
 浜事業所内

 【氏名】 松尾 浩司

【特許出願人】

 【識別番号】 000003078

 【氏名又は名称】 株式会社 東芝

【代理人】

 【識別番号】 100058479

 【弁理士】

 【氏名又は名称】 鈴江 武彦

 【電話番号】 03-3502-3181

【選任した代理人】

 【識別番号】 100084618

 【弁理士】

 【氏名又は名称】 村松 貞男

【選任した代理人】

 【識別番号】 100068814

【弁理士】

【氏名又は名称】 坪井 淳

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100070437

【弁理士】

【氏名又は名称】 河井 将次

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】

半導体基板上に直接又は絶縁膜を介して金属化合物膜を成膜する工程と、前記金属化合物膜を酸化して金属酸化膜にする工程と、前記金属酸化膜上に電極を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 2】

前記金属化合物膜は、前記半導体基板又はその上の絶縁膜と化合物を形成する反応を起こさない化合物であることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 3】

前記金属化合物膜の膜厚は、5 nm 以下であることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 4】

前記金属化合物膜を成膜する工程と該金属化合物膜を酸化して金属酸化膜にする工程を、複数回繰り返すことを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 5】

前記絶縁膜は、シリコン酸化膜、シリコン窒化膜、又はシリコン窒化酸化膜であることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 6】

前記金属化合物膜は、金属窒化物若しくは酸素を含む金属窒化物、金属炭化物若しくは酸素を含む金属炭化物、又は金属窒化炭化物若しくは酸素を含む金属窒化炭化物であることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 7】

前記金属化合物膜は、チタン、ジルコニウム、ハフニウム、タンタル、若しくはニオブの窒化物又は炭化物のいずれかであることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 8】

半導体基板上に直接、又は半導体酸化物、半導体窒化物、若しくは半導体窒化酸化物からなる絶縁膜を介して形成された第 1 の金属酸化物膜と、この第 1 の金属酸化物膜上に形成された第 2 の金属酸化物膜と、この第 2 の金属酸化物膜上に形成された MOS トランジスタのゲート電極とを具備してなり、

前記ゲート電極を構成する金属の酸化物形成時のギブス自由エネルギー減少量は、第 1 の金属酸化物膜を構成する金属のそれよりも大きく、かつ第 2 の金属酸化物膜を構成する金属の酸化物形成時のギブス自由エネルギー減少量は、前記ゲート電極を構成する金属のそれよりも大きいとか或いは等しいことを特徴とする半導体装置。

【請求項 9】

第 2 の金属酸化物膜はチタン酸化膜、ジルコニウム酸化膜、ハフニウム酸化膜、タンタル酸化膜、ニオブ酸化膜の何れかであり、前記ゲート電極はチタン窒化膜、ジルコニウム窒化膜、ハフニウム窒化膜、タンタル窒化膜、ニオブ窒化膜の何れかの内で第 2 の金属酸化物膜を構成する金属の酸化物形成時のギブス自由エネルギー減少量が前記ゲート電極を形成する金属のそれよりも大きいとか或いは等しいものであることを特徴とする請求項 8 記載の半導体装置。

【請求項 10】

請求項 1 の方法を用いて、半導体基板又は表面に絶縁膜が形成された半導体基板に設けられた溝内にゲート絶縁膜となる金属酸化物膜とゲートとなる電極が形成され、前記金属酸化物膜の溝部側面と溝部底面で作られる角部の厚みが、前記溝部底面での前記金属酸化物膜での厚みの $2^{1/2}$ 倍より大きいことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、微細化が要求される半導体技術に係わり、特にゲート絶縁膜等に金属酸化物を用いた半導体装置及びその製造方法に関する。

【0002】

【従来の技術】

MOSFETの微細化に伴い、ゲート電極の低抵抗化の要求と、従来から使われているポリシリコンによるゲート電極では空乏化の問題が無視できなくなることから、メタル単層のゲート構造の実現が望まれている。そして、ゲート絶縁膜はより薄膜化の要求から、 SiO_2 に代わり高誘電体として金属酸化物系、例えば TiO_2 により形成することが提案されている。

【0003】

図7は、従来プロセスを説明するための工程断面図である。まず、図7(a)に示すように、シリコン基板100上に10nm程度のゲート絶縁膜となる TiO_2 膜102をLP-CVD法により成膜する。CVDガスとしては、例えば $\text{Ti}(\text{C}_{11}\text{H}_{19}\text{O}_2)_2\text{Cl}_2$ を用いればよい。

【0004】

次いで、図7(b)に示すように、メタルゲート電極のゲート絶縁膜への拡散を防ぐため、或いは仕事関数を制御するバリアメタルとして、例えば10~20nmの膜厚の TiN 膜103を TiCl_4 と NH_3 ガス雰囲気中のCVD法により形成する。その後、図7(c)に示すように、ゲート電極となるW, Al, Cu等のメタル電極104をCVD法で成膜する。

【0005】

ここで、上述のバリアメタル膜103及びメタル電極104を成膜後に反応性イオンエッチングで加工するか、或いは予めゲート電極を形成するための溝を絶縁膜に形成しておき、上述の TiO_2 膜102, バリアメタル膜103, メタル電極104を成膜後に、化学機械研磨法(CMP)又は機械研磨法(MP)で溝の内部にだけ導電体膜を残す方法を用いて電極パターンを形成する。

【0006】

しかしながら、この種の方法にあっては、次のような問題があった。即ち、図7(a)において TiO_2 膜102を成膜しているが、この方法では酸素が完全に供給された TiO_2 膜102にすることが難しい。 TiO_2 膜102では、酸素の欠乏がドナーとなって TiO_2 の伝導帯に電子を供給してしまうため、僅かな酸素欠乏により大きく絶縁性が劣化してしまう。また、CVD成膜ガス中に含

まれる炭素、塩素等の不純物が取り残されるため、これも酸素欠乏等を引き起こす原因になり、 TiO_2 膜 102 の信頼性を劣化させる原因となる。また、シリコン酸化膜の CVD でも見られるように、CVD 膜は熱酸化で形成した酸化膜より密度が低くなりやすい。そのため、これも酸素欠乏を引き起こす原因になる。これらより、信頼性の高いトランジスタの形成は不可能となる。

【0007】

【発明が解決しようとする課題】

このように従来、ゲート絶縁膜として TiO_2 等の金属酸化物を用いる場合、CVD 法で酸素が完全に供給された TiO_2 を形成することは難しく、僅かな酸素欠乏により絶縁特性が劣化する。さらに、CVD 成膜ガス中に含まれる炭素、塩素等の不純物が取り残され、これも酸素欠乏等を引き起こす原因になり、 TiO_2 膜の信頼性を劣化させる要因となる。

【0008】

本発明は、上記事情を考慮して成されたもので、その目的とするところは、金属酸化物からなるゲート絶縁膜等の信頼性を向上させることができ、素子特性の向上及び信頼性の向上をはかり得る半導体装置及びその製造方法を提供することにある。

【0009】

【課題を解決するための手段】

(構成)

上記課題を解決するために本発明は次のような構成を採用している。

【0010】

即ち本発明は、ゲート絶縁膜等に金属酸化物膜を用いる半導体装置の製造方法において、半導体基板上に直接又は絶縁膜を介して金属化合物膜を成膜する工程と、前記金属化合物膜を酸化して金属酸化膜にする工程と、前記金属酸化膜上に電極を形成する工程とを含むことを特徴とする。

【0011】

ここで、本発明の望ましい実施態様としては次のものがあげられる。

- (1) 金属化合物膜は、半導体基板又はその上の絶縁膜と化合物を形成する反応

を起こさない化合物であること。

(2) 金属化合物膜の膜厚は、5 nm以下であること。

(3) 金属化合物膜を成膜する工程と金属化合物膜を酸化して金属酸化膜にする工程を、複数回繰り返すこと。

(4) 絶縁膜は、シリコン酸化膜、シリコン窒化膜、又はシリコン窒化酸化膜であること。

【0012】

(5) 金属化合物膜は、金属窒化物、又は酸素を含む金属窒化物であること。

(6) 金属化合物膜は、金属炭化物、又は酸素を含む金属炭化物であること。

(7) 金属化合物膜は、金属窒化炭化物、又は酸素を含む金属窒化炭化物であること。

(8) 金属化合物膜は、チタン窒化物、ジルコニウム窒化物、ハフニウム窒化物、タンタル窒化物、又はニオブ窒化物のいずれかであること。

(9) 金属化合物膜は、チタン炭化物、ジルコニウム炭化物、ハフニウム炭化物、タンタル炭化物、又はニオブ炭化物のいずれかであること。

【0013】

また本発明は、ゲート絶縁膜等に金属酸化物膜を用いる半導体装置において、半導体基板上に直接、又は半導体酸化物、半導体窒化物、若しくは半導体窒化酸化物からなる絶縁膜を介して形成された第1の金属酸化物膜と、この第1の金属酸化物膜上に形成された第2の金属酸化物膜と、この第2の金属酸化物膜上に形成されたMOSトランジスタのゲート電極とを具備してなり、前記ゲート電極を構成する金属の酸化物形成時のギブス自由エネルギー減少量は、第1の金属酸化物膜を構成する金属のそれよりも大きく、かつ第2の金属酸化物膜を構成する金属の酸化物形成時のギブス自由エネルギー減少量は、前記ゲート電極を構成する金属のそれよりも大きい或いは等しいことを特徴とする。

【0014】

ここで、本発明の望ましい実施態様としては次のものがあげられる。

(1) 第2の金属酸化物膜はチタン酸化膜であり、ゲート電極はチタン窒化膜、タンタル窒化膜、又はニオブ窒化膜であること。

(2) 第2の金属酸化物膜はジルコニウム酸化物膜であり、ゲート電極はジルコニウム窒化膜、チタン窒化膜、タンタル窒化膜、又はニオブ窒化膜であること。

(3) 第2の金属酸化物膜はハフニウム酸化物膜であり、ゲート電極はハフニウム窒化膜、チタン窒化膜、タンタル窒化膜、又はニオブ窒化膜であること。

【0015】

また本発明は、ゲート絶縁膜等に金属酸化物膜を用いる半導体装置において、溝を有する半導体基板上に直接又は絶縁膜を介して金属化合物膜が成膜され、この金属化合物膜を酸化してゲート絶縁膜となる金属酸化物膜が形成され、このゲート絶縁膜上にゲート電極が形成された半導体装置であって、前記ゲート絶縁膜の溝部側面と溝部底面で作られる角部の厚みが、前記溝部底面での前記ゲート絶縁膜での厚みの $2^{1/2}$ 倍より大きいことを特徴とする。

【0016】

また本発明は、ゲート絶縁膜等に金属酸化物膜を用いる半導体装置の製造方法において、半導体基板上に直接、又は半導体酸化物、半導体窒化物、若しくは半導体窒化酸化物を介して金属酸化物膜からなる第1の膜を形成する工程と、第1の膜上に卑金属の窒化物、窒化酸化物、又は炭化物からなる第2の膜を形成する工程と、第2の膜を酸化して金属酸化物膜からなる第3の膜を形成する工程と、第3の膜上に金属窒化物からなる第4の膜を形成する工程とを含むことを特徴とする。

【0017】

(作用)

本発明によれば、例えばゲート絶縁膜として用いられる金属酸化物膜である TiO_2 、 ZrO_2 、 HfO_2 、 Ta_2O_5 等の成膜に際して、まずはそれら酸化物の金属からなる金属化合物膜を薄く(例えば10nm以下、望ましくは5nm以下)成膜してから酸化を行うようにしている。ここで、熱酸化により形成した金属酸化物膜は、酸素の欠乏がなく、また膜中不純物は酸化中に外方拡散してしまふ。このため、Si上に直接CVD法によって金属酸化物膜を成膜するとき問題となる膜中不純物や酸素欠乏の問題を回避することが可能となる。

【0018】

また、電極を構成する酸化物形成時のギブス(Gibbs) 自由エネルギー減少量が、ゲート絶縁膜となる金属酸化膜を構成する金属の酸化物形成時のそれよりも大きい場合に、ゲート絶縁膜最上層に酸化物形成時のギブス自由エネルギー減少量が、電極を構成する金属と同じかそれ以上の金属を用いた金属酸化物膜を形成することで、電極とゲート絶縁膜との反応が起こらないような誘電体膜構造を実現することができる。

【0019】

【発明の実施の形態】

以下、本発明の詳細を図示の実施形態によって説明する。

【0020】

(第1の実施形態)

図1は、本発明の第1の実施形態に係わる半導体装置の製造工程を示す断面図である。

【0021】

まず、図1(a)に示すように、シリコン基板10上に2nm程度の薄いTiN膜11を成膜する。この成膜法としては、 $TiCl_4$ と NH_3 ガス雰囲気でのCVD法を用いればよい。

【0022】

なお、TiNのCVD法としては、 $TiCl_4/NH_3$ 系に限らず、 $(C_5H_5)(C_8H_8)Ti/NH_3$ 系、 $(C_5H_5)_2Ti[N(CH_3)_2]_2/NH_3$ 系、 $(C_5H_5)_2TiCl_2/NH_3$ 系、 $[(CH_3)_3SiCH_2]_4Ti/NH_3$ 系、 $Ti[N(CH_3)_2]_4$ 系、 $Ti[N(C_2H_5)_2]_4$ 系、 $(C_5H_5)_2Ti(N_3)_2$ 系等を用いてTiNを成膜してもよい。後者の3つのガスは NH_3 やNラジカルのような窒化剤がなくともTiNを成膜できるが、窒化剤を添加して成膜してもよい。また、Tiターゲット若しくはNを含むTiターゲットと、Ar, Kr, 若しくはXeと N_2 などのNを含むガスの混合ガスのプラズマを用いたスパッタ法、又は真空蒸着法でもよい。

【0023】

次いで、図1(b)に示すように、 O_2 雰囲気、 O_3 雰囲気、又は酸素ラジカ

ル若しくは水蒸気を含む雰囲気中での熱処理によりTiN膜11の酸化を行って、厚さ4nm程度のTiO₂膜12を形成する。また、この酸化を過剰に行ってシリコン基板10とTiO₂膜12の界面にシリコン酸化膜を形成してもよい。ここで、さらに厚膜の例えば20nm程度のTiO₂膜が必要なときは、10nm程度成膜したTiN膜の酸化を行って20nm程度のTiO₂膜を形成してもよいが、酸化するTiN膜が薄くなるほど、酸化中に発生する窒素やTiN膜の成膜中に混入した塩素や炭素等の不純物が酸化中に外方拡散しやすく、不純物の酸素欠乏のない膜質の良好なTiO₂膜を得やすいことが本発明者らの実験で明らかとなった。また、TiO₂の厚膜化と共に結晶粒が大きくなることも判明しており、厚膜では表面モフォロジーも劣化しやすいため、薄膜が望ましい。

【0024】

そこで、厚いTiO₂膜を形成する場合は、2nm程度のTiN膜の成膜と酸化の工程を繰り返し行うことで厚いTiO₂膜を形成すると、より高品質の厚いTiO₂膜を得ることができる。例えば、薄い2nm程度のTiN膜の成膜とその酸化を5回繰り返すことで、厚さ20nm程度のTiO₂膜を形成できる。

【0025】

また、酸化温度は高いほど不純物が少なくなるが、同時にTiO₂膜の結晶粒径も酸化温度上昇と共に大きくなる。結晶粒径の増大は表面モフォロジーを劣化させる。よって、酸化温度は500℃以下の低温にするのが望ましく、酸化温度の低温化で問題となる膜中の不純物は、酸化するTiN膜厚を薄く5nm以下、望ましくは2nm以下にすることで外方拡散させるのが望ましい。

【0026】

次いで、図1(c)に示すように、バリアメタルとして例えばTiN膜13をCVD法により成膜し、続いてゲート電極14として所望のメタルを形成する。以上により、ゲート絶縁膜がTiO₂のゲート膜構造が形成できる。

【0027】

ここで、本実施形態の特徴は、TiN膜11を成膜してその酸化を行ったことである。従来方法のように直接CVD法により形成したTiO₂膜と異なり、本

実施形態での TiO_2 膜は熱酸化により形成されているため、酸素が十分供給されて酸素欠乏のない信頼性の高い膜として形成できる。さらに、その酸化する TiN の膜厚を 5 nm 以下、望ましくは 2 nm 以下にすることで、酸化中に発生する窒素、炭素、塩素等の不純物は容易に外方拡散して膜中から追い出すことが可能である。

【0028】

なお、既に Al の熱酸化により Al_2O_3 を形成する報告がなされているが、この方法では Al の酸化中の熱工程により Al が下地のシリコン基板やシリコン酸化膜と反応してしまう。これに対し本実施形態は、 TiN 膜にはシリコンが拡散せず、 TiN は下地となるシリコン基板と反応を起こさないため、酸化中の熱工程で下地のシリコン基板と反応を起こすこともなく TiO_2 膜を形成できる。よって、シリコン基板とのシリサイド反応によるゲート絶縁膜とシリコン基板界面のラフネスの悪化等の問題は完全に回避できる。

【0029】

また、図 1 (b) において TiN 膜 11 の酸化を行う時に、過剰な酸化によりシリコン基板 10 と TiO_2 膜 12 の界面にシリコン酸化膜が形成され、その厚みが厚くなり過ぎる場合がある。このようなときは、 TiN 膜 11 の成膜前に予めシリコン基板 10 上に極薄い 1 nm 程度のシリコン窒化酸化膜を NO 、或いは N_2O 等のガスを含む雰囲気中で酸化させて形成しておき、この膜によりシリコン基板 10 が酸化されるのを防げばよい。また、シリコン窒化酸化膜ではなくシリコン酸化膜を形成しておいてもよい。

【0030】

また、本実施形態では TiN 膜 11 を成膜して酸化したが、上記のように本発明の効果は下地となるシリコン基板と反応しない金属化合物を成膜して、それを酸化して熱酸化により金属酸化膜を形成することにある。従って、 TiN 以外に TiC でもよい。

【0031】

また、酸素を含んだ $TiON$ 膜、更には炭素を加えた $TiONC$ 膜としてもよい。この場合は、 TiN 膜が成膜時に既に結晶粒が存在するのに対し、酸素や炭

素を含ませることで結晶粒をより小さく、或いはアモルファス状態にすることができるので、表面モフォロジーがより向上する。よって、それを酸化して形成した TiO_2 膜も表面ラフネスも少ない膜にすることが可能である。

【0032】

$TiON$ 膜、 $TiNC$ 膜、又は $TiONC$ 膜のCVDガスソースとしては、 $TiCl_4$ と NH_3 と O_2 を含むガス、或いはCを含むガスとして、 $(C_5H_5)(C_8H_8)Ti/NH_3$ 系、 $(C_5H_5)_2Ti[N(CH_3)_2]_2/NH_3$ 系、 $(C_5H_5)_2TiCl_2/NH_3$ 系、 $[(CH_3)_3SiCH_2]_4Ti/NH_3$ 系、 $Ti[N(CH_3)_2]_4$ 系、 $Ti[N(C_2H_5)_2]_4$ 系、 $(C_5H_5)_2Ti(N_3)_2$ 系等の有機系ガスを用いればよい。更には、 Ti ターゲット或いはOやNやCを含む Ti ターゲットを用いて、 Ar 、 Kr 、又は Xe とOやNを含む混合ガスプラズマを用いたスパッタ法により成膜してもよい。

【0033】

さらに、酸素の欠乏している TiO_{2-x} 膜を酸化して TiO_2 膜を形成してもよい。この場合も熱酸化により TiO_2 膜が形成されるので、同様の効果が得られる。 TiO 膜、或いは TiO_{2-x} 膜のCVDガスソースとしては、 $Ti(C_{11}H_{19}O_2)Cl_2$ 系、 $Ti(OC_2H_5)_4$ 系、 $Ti(i-OC_3H_7)_4$ 系、 $Ti(OCH_3)_4$ 系、 $Ti(n-OC_4H_9)_4$ 系があり、 $400^\circ C$ から $750^\circ C$ の温度範囲内で TiO_{2-x} の成膜が可能である。

【0034】

また、本実施形態では TiO_2 膜の形成法について述べたが、 TiN 膜と同様に下地となるシリコン基板と反応を起こさない金属窒化物であれば、本実施形態と同様のメリットを得ることができる。具体的にあげれば、 ZrN 、 HfN 、 TaN 、 NbN である。これらを酸化してそれぞれ ZrO_2 、 HfO_2 、 Ta_2O_5 、 Nb_2O_5 を形成してもよい。また、ゲート絶縁膜として ZrO_2 、 HfO_2 、 Ta_2O_5 、 Nb_2O_5 を用いることは、以下のメリットがさらに追加される。

【0035】

(ZrO_2) : ゲート電極として、実施形態の TiN 電極のみならず、 ZrN もゲート絶縁膜である ZrO_2 と反応することもなく電極として用いることが可能になる。 ZrN は TiN よりさらに仕事関数が低い。そのため、 $MOSFET$ において低いしきい値 V_{th} を要求される n 型の $MOSFET$ に使用することで、 TiN よりさらにしきい値 V_{th} を下げることが容易になる。また、バンドギャップも TiO_2 の 3 eV に対して ZrO_2 は 8 eV である。そのため、薄膜でも絶縁性の良い膜を得やすくなる。

【0036】

(HfO_2) : ゲート電極として、実施形態の TiN そして上記の ZrN のみならず、 HfN もゲート絶縁膜である HfO_2 と反応することもなく電極として用いることが可能になる。 HfN は TiN や ZrN よりさらに仕事関数が低い。そのため、 $MOSFET$ において低いしきい値 V_{th} を要求される n 型の $MOSFET$ に使用することで、 TiN や ZrN よりさらにしきい値 V_{th} を下げることが容易になる。また、バンドギャップも ZrO_2 と同じく HfO_2 は 8 eV である。そのため、薄膜でも絶縁性の良い膜を得やすくなる。

【0037】

(Ta_2O_5) : 現在最も研究されている高誘電体であり、開発費用を上記金属酸化膜よりも削減可能である。

(Nb_2O_5) : Ta_2O_5 とほぼ同様の膜特性であるため、 Ta_2O_5 の技術をそのまま受け継がせることが容易である。

【0038】

(第2の実施形態)

第1の実施形態では、金属酸化物膜の成膜法について説明したが、本実施形態では、電極と化学反応を起こし得る金属酸化膜を用いても、電極と反応させない方法について説明する。図2は、本発明の第2の実施形態に係わる半導体装置の製造工程を示す断面図である。

【0039】

まず、図2(a)に示すように、シリコン基板20上に、基板20の熱酸化により得られた 1 nm 程度のごく薄いシリコン酸化膜21を介して、ゲート絶縁膜

となる高誘電体膜として10nm程度の Ta_2O_5 膜22を第1の実施形態で述べた方法で成膜する。即ち、 TaN 膜を成膜した後にこれを酸化して Ta_2O_5 膜を形成する。ここで、シリコン酸化膜21は他の絶縁膜、例えば N_2O 、 NO 、或いは NH_3 等のガスを含む雰囲気中にて形成された、膜厚1nm程度のシリコン酸化窒化膜でもよい。また、 Ta_2O_5 膜22をシリコン基板20上に直接成膜してもよい。

【0040】

次いで、第1の実施形態で述べた方法を用いて、図2(b)に示すように、 Ta_2O_5 膜22上に例えば4nmの薄い TiN 膜23を形成し、続いて図2(c)に示すように、これを酸化して TiO_2 膜24を形成する。

【0041】

次いで、図2(d)に示すように、メタル電極のゲート絶縁膜への拡散を防ぐため、或いは仕事関数を制御するバリアメタルとして、 TiO_2 膜24上に TiN 膜25を成膜する。

【0042】

次いで、図2(e)に示すように、 Al 、 W 、 Cu 、 Ag 等、所望のゲートメタル電極26をCVD法或いはスパッタ法或いはメッキ処理等により成膜する。

【0043】

このように本実施形態によれば、 Ta_2O_5 膜22上に薄い TiO_2 膜24を形成してから TiN 膜25を形成することにより、直接 Ta_2O_5 膜22上に TiN 膜25を成膜した場合に起こる問題を回避できる。

【0044】

上記の問題とは、 TiN/Ta_2O_5 界面では TiO_2 と TaN が形成される反応が進行し、 Ta_2O_5 膜22は還元されて絶縁性を失っていくことである。この還元反応は、電極となる TiN 膜25を構成する金属である Ti の酸化物形成時のギブス自由エネルギー減少量が、 Ta_2O_5 膜22を構成する金属である Ta の酸化物形成時のギブス自由エネルギー減少量よりも大きいためである。よって、このようなゲート絶縁膜の還元反応による劣化を防ぐには、電極に用いる金属はゲート絶縁膜に用いる金属より酸化物形成時のギブス自由エネルギー減少

量が同じか小さいことが必要である。

【0045】

本実施形態では、電極であるTiN膜25とゲート絶縁膜であるTa₂O₅膜22との間に、電極と反応を起こさないTiO₂膜24を薄く成膜しておくことで、この問題を回避することに成功した。即ち、TiO₂を構成する金属はTiNを構成する金属と同じであり、電極に用いる金属はゲート絶縁膜の最上層に用いる金属と酸化物形成時のギブス自由エネルギー減少量が同じとなり、これにより電極下地の絶縁膜の還元反応が生じるのを防止することができる。

【0046】

(第3の実施形態)

第1及び第2の実施形態では、ゲート絶縁膜と電極の成膜方法について説明したが、本実施形態では、これらの実施形態でのゲート膜構造を用いたトランジスタの形成方法を説明する。図3及び図4は、本発明の第3の実施形態に係わる半導体装置の製造工程を示す断面図である。

【0047】

まず、図3(a)に示すように、シリコン基板30上にSTI技術等を用いて素子分離領域31を形成する。続いて、将来除去されるダミーのゲートとして、例えば6nm程度のゲート酸化膜32、150nm程度のポリシリコン膜33、50nm程度の第1のシリコン窒化膜34の積層構造からなるダミーゲート構造を、酸化技術、CVD技術、リソグラフィ技術、そしてRIE技術を用いて形成する。そして、イオン注入技術を用いてエクステンション拡散層領域35を形成し、さらに第2のシリコン窒化膜36からなる幅が40nm程度のゲート側壁をCVD技術とRIE技術により形成する。

【0048】

次いで、図3(b)に示すように、イオン注入技術によりソース・ドレイン拡散層37を形成後、サリサイド・プロセス技術を用いて、ダミーゲートをマスクにソース・ドレイン領域のみに40nm程度のCoSi₂、又はTiSi₂等の金属シリサイド層38を形成する。

【0049】

次いで、図 3 (c) に示すように、層間絶縁膜 39 として、例えば SiO_2 膜を CVD 法により堆積して、CMP 技術により平坦化を行うことにより、ダミーゲートの上部の第 1 のシリコン窒化膜 34、第 2 のシリコン窒化膜 36 の表面を露出させる。

【0050】

次いで、図 4 (d) に示すように、例えば磷酸を用いて、ダミーゲート上部の第 1 のシリコン窒化膜 34 を層間絶縁膜 39 に対して選択的に除去する。このときゲート側壁の第 2 のシリコン窒化膜 36 もポリシリコン膜 33 の高さ程度までエッチングされる。続いて、例えばラジカル原子エッチング技術を用いてダミーゲートのポリシリコン膜 33 を、層間絶縁膜 39、ゲート側壁である第 2 のシリコン窒化膜 36 に対して選択的に除去する。その後、弗酸等のウェット処理によりダミーのゲート酸化膜 32 を除去することにより、ゲート形成部が全て開口される。

【0051】

次いで、図 4 (e) に示すように、第 1 又は第 2 の実施形態で示した方法により、高誘電体膜のゲート絶縁膜 40 とゲート電極 41 を形成する。

【0052】

これ以降は、図 4 (f) に示すように、CMP 技術を用いて、ゲート絶縁膜 40、ゲート電極 41 の平坦化を層間絶縁膜 39 が露出するまで行う。以上の工程により、ゲート絶縁膜 40 が高誘電体絶縁膜を有し、ゲート電極 41 はメタルであり、ソース・ドレインは金属シリコンサイドにより低抵抗化された MOSFET が完成する。

【0053】

ここで、第 1 の実施形態で示したゲート絶縁膜成膜法を本実施形態のようなダマシン・ゲートへ適用したときのメリットを説明する。

【0054】

図 5 (a) は、底面がシリコン基板 50 で側壁が絶縁膜 51 により形成された溝を模式的に示したものである。これは、上記では図 4 (d) に示す工程に相当し、溝内にゲート絶縁膜やゲート電極が埋め込まれる。溝内にゲート絶縁膜を成

膜するときに、従来技術を用いて直接 TiO_2 膜をCVD法により成膜すると、最も良好なカバーレッジのCVD技術を用いても、図5(b)に示すように、ゲート絶縁膜53の厚みDはどこでも同じである。そのため、角部の厚みAは、底部の厚みDの $2^{1/2}$ 倍以上になることはない。このような角では、ゲート電極に印加された電圧により角部での電界集中を避けることができないため、ゲート耐圧不良を引き起こしやすくなる。

【0055】

これに対して本実施形態は、まずCVD法等を用いて TiN 膜を成膜し、続いて酸化を行って TiO_2 膜にしている。 TiN 膜のカバーレッジは従来技術と同様に角部の厚みAは厚みDの $2^{1/2}$ 倍以下となる。しかし、続いて酸化を行うことにより、 TiN 膜は体積が2倍近くなって TiO_2 膜となるため、角部は図5(c)に示すように、他より厚く成膜された状態となる。そして、角部の厚みAは、底部の厚みDの $2^{1/2}$ 倍より大きくなる。従って、従来技術と異なり角部での電界集中はなくなり、ゲート耐圧不良を大幅に改善することが可能になる。

【0056】

(第4の実施形態)

第3の実施形態では、本発明をMOSFETのゲート絶縁膜に適用した例を説明したが、本発明はゲート絶縁膜のみならず、様々なキャパシタ構造に適用できる。例えばDRAMセルのトレンチキャパシタに応用することもできる。

【0057】

図6は、本発明を用いてトレンチ・キャパシタを形成したDRAMセル構造を実現するための工程断面図である。まず、図6(a)に示すように、シリコン基板60の表面にエッチングによりトレンチ61を形成した後、Asの気相拡散等を用いてトレンチ内壁にn型拡散層62を形成する。

【0058】

次いで、図6(b)に示すように、第1の実施形態方法を用いて、トレンチ61の内壁に沿って TiO_2 膜63を形成し、続いてトレンチ61内にポリシリコン膜64を埋め込み形成する。具体的には、トレンチの内部を含む基板表面の全面に TiN 膜を薄く成膜した後、これを酸化して TiO_2 膜63を形成し、この

TiO₂ 膜 63 上にポリシリコン膜 64 を堆積し、続いてCMP等により基板表面が露出するまで平坦化することによって、トレンチ 61 内にTiO₂ 膜 63 を介してポリシリコン膜 64 が埋め込まれた構造を形成する。

【0059】

次いで、図 6 (c) に示すように、素子分離領域 65 を形成すると共に、ゲート酸化膜 (図示せず) を介してゲート電極 66 を形成し、更にはソース・ドレイン拡散層 67 等を形成することにより、トレンチ・キャパシタからなるDRAMセルが実現される。

【0060】

このように本実施形態によれば、TiO₂ 膜 62 はTiNを酸化して形成したものであるため、酸素欠乏のない信頼性の高いキャパシタ絶縁膜となり、さらにトレンチ角部における膜厚を他よりも厚くできるため、キャパシタ絶縁膜の耐圧不良を改善することができる。

【0061】

なお、本発明は上述した各実施形態に限定されるものではなく、その要旨を逸脱しない範囲で、種々変形して実施することができる。

【0062】

【発明の効果】

以上詳述したように本発明によれば、ゲート絶縁膜等に金属酸化物膜を用いる半導体装置の製造方法において、半導体基板上に直接又は絶縁膜を介して金属化合物膜を成膜した後に、この金属化合物膜を酸化して金属酸化物膜にするようにしているため、酸素欠乏のない金属酸化物からなるゲート絶縁膜等の信頼性を大幅に向上させることができ、素子特性の向上及び信頼性の向上をはかることができる。

【0063】

また、ゲート絶縁膜を2層の金属酸化物膜で形成し、ゲート電極を構成する金属の酸化物形成時のギブス自由エネルギー減少量が、ゲート絶縁膜となる金属酸化物膜 (第1の金属酸化物膜) を構成する金属のそれよりも大きい場合に、ゲート絶縁膜最上層に、酸化物形成時のギブス自由エネルギー減少量が、ゲート電極

を構成する金属のそれよりも大きいか或いは等しい金属を用いた金属酸化物膜（第 2 の金属酸化物膜）を形成しているので、ゲート電極とゲート絶縁膜との反応が起こらないような誘電体膜構造を実現することができ、これにより素子特性の向上をはかることが可能となる。

【図面の簡単な説明】

【図 1】

第 1 の実施形態に係わる半導体装置の製造工程を示す断面図。

【図 2】

第 2 の実施形態に係わる半導体装置の製造工程を示す断面図。

【図 3】

第 3 の実施形態に係わる MOS F E T の製造工程を示す断面図。

【図 4】

第 3 の実施形態に係わる MOS F E T の製造工程を示す断面図。

【図 5】

第 3 の実施形態の効果を説明するための模式図。

【図 6】

第 4 の実施形態に係わる D R A M セルの製造工程を示す断面図。

【図 7】

従来プロセスを説明するための工程断面図。

【符号の説明】

1 0, 2 0, 3 0, 5 0, 6 0 … シリコン基板

1 1, 2 3, 2 5 … T i N 膜

1 2, 2 4, 6 3 … T i O₂ 膜

1 3 … T i N 膜

1 4, 2 6 … ゲートメタル電極

2 1 … シリコン酸化膜

2 2 … T a₂ O₅ 膜

2 5 … T i N 膜

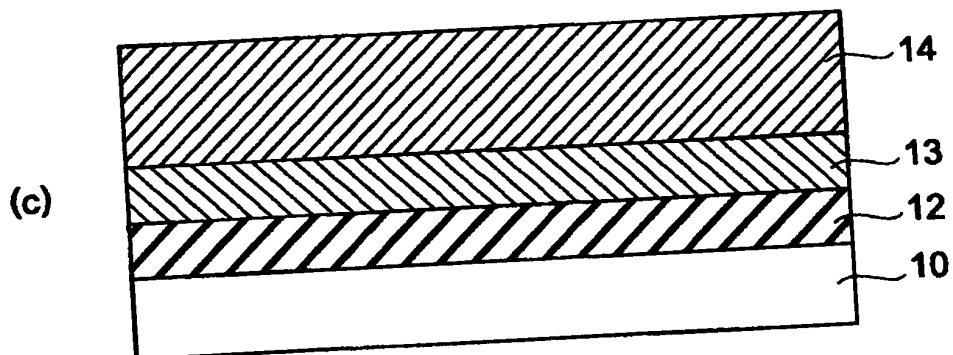
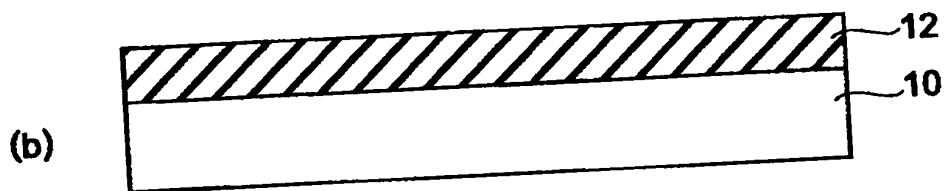
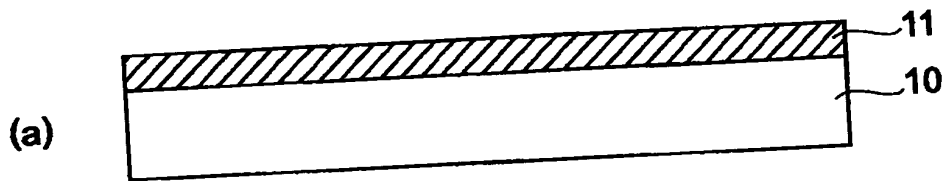
2 6 … ゲートメタル電極

- 3 1 …素子分離領域
- 3 2 …ダミーゲート酸化膜
- 3 3, 6 4 …ポリシリコン膜
- 3 4, 3 6 …シリコン窒化膜
- 3 5 …エクステンション拡散層領域
- 3 7, 6 7 …ソース・ドレイン拡散層
- 3 8 …金属シリサイド層
- 3 9, 5 1 …層間絶縁膜
- 4 0, 5 3 …ゲート絶縁膜
- 4 1, 6 6 …ゲート電極
- 6 1 …トレンチ
- 6 2 …n型拡散層
- 6 5 …素子分離領域

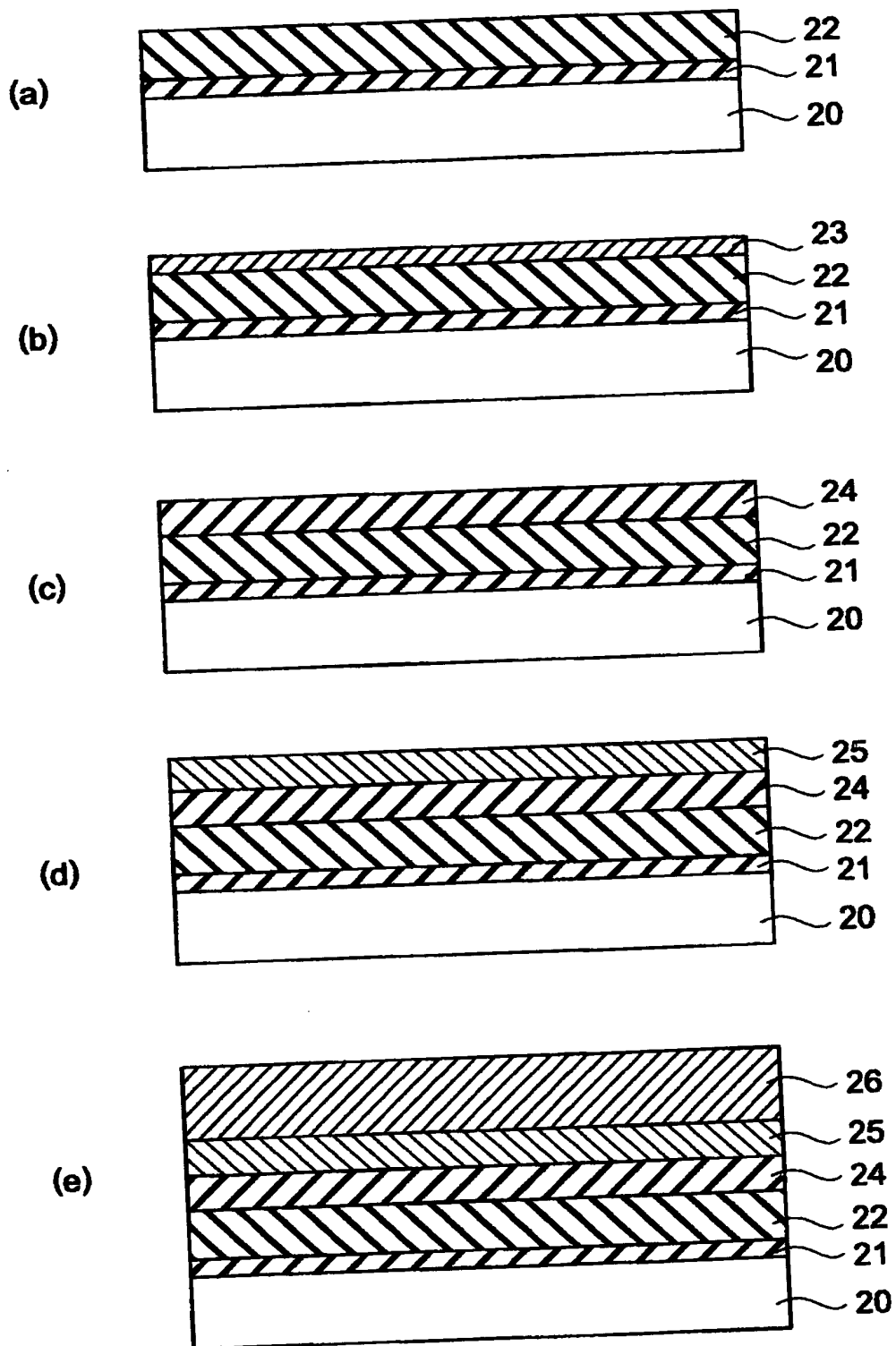
【書類名】

図面

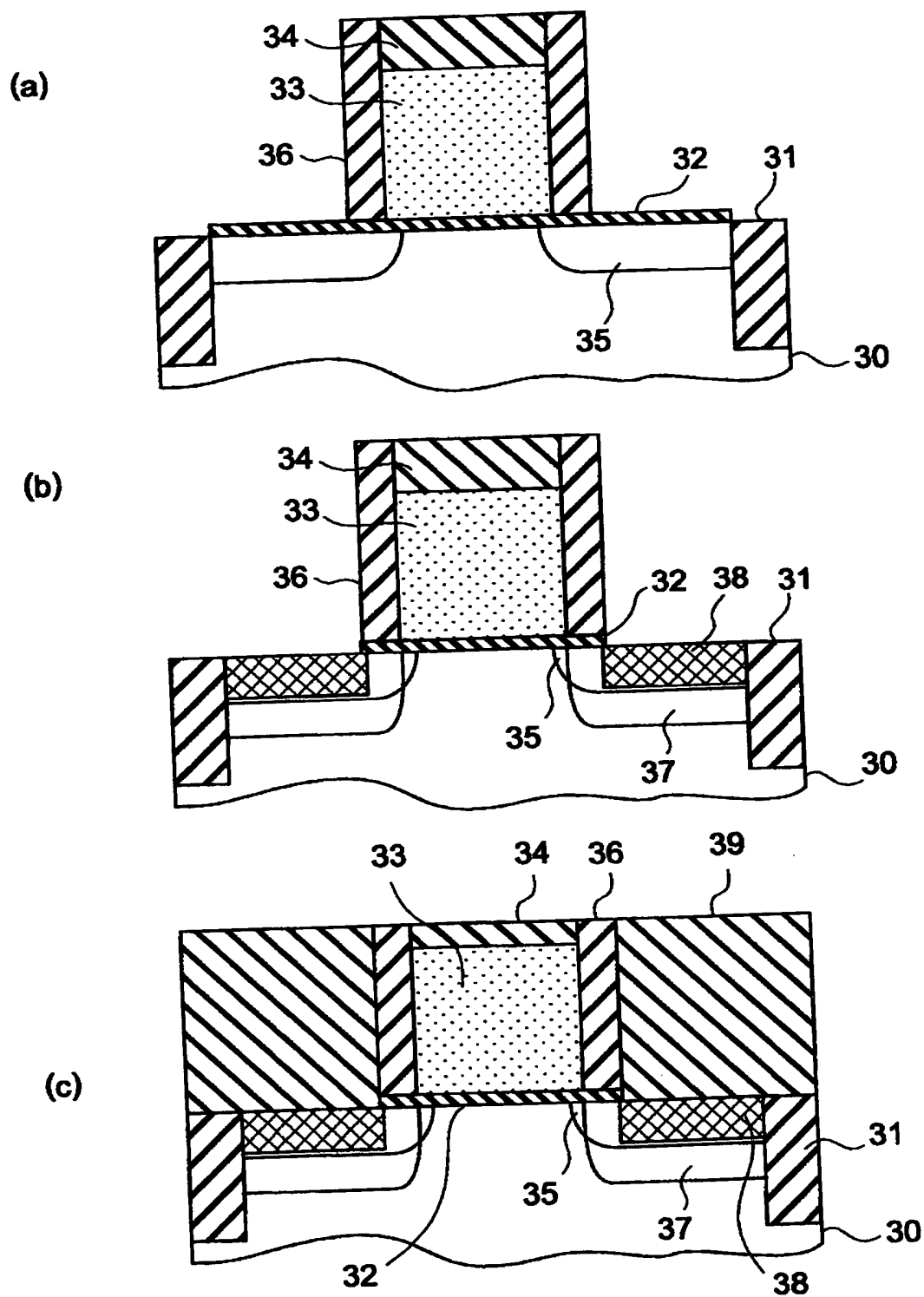
【図 1】



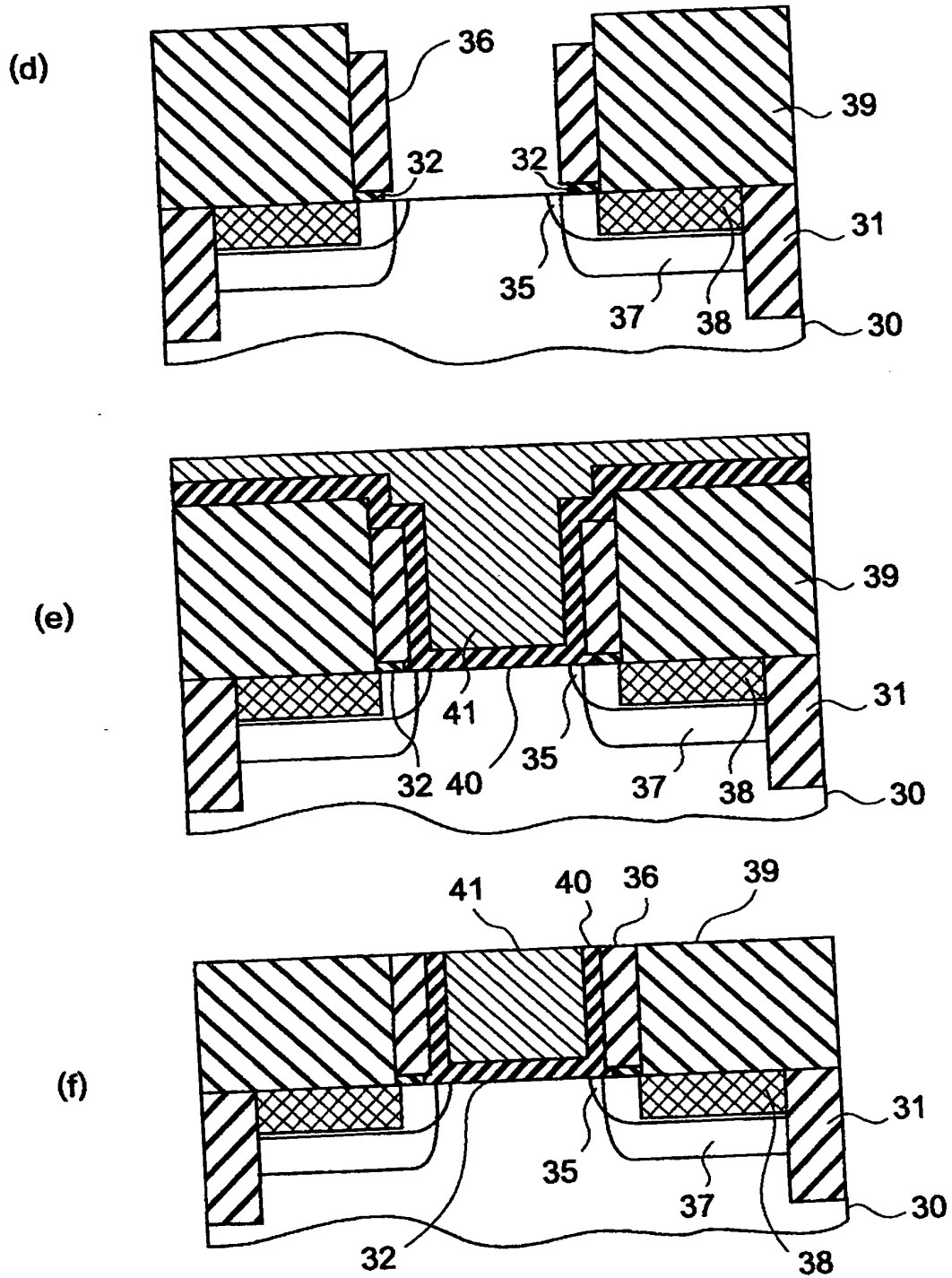
【図 2】



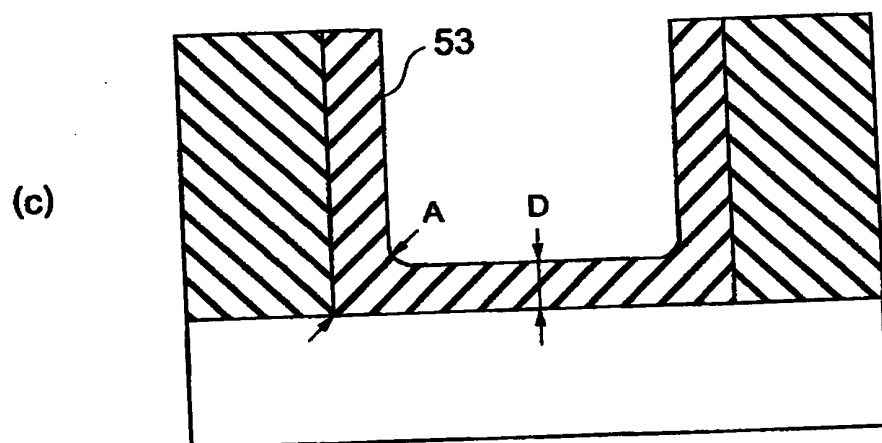
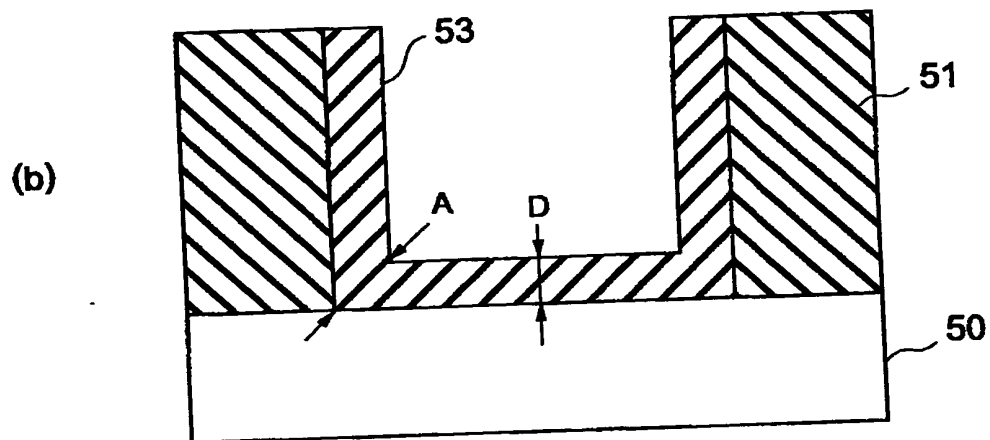
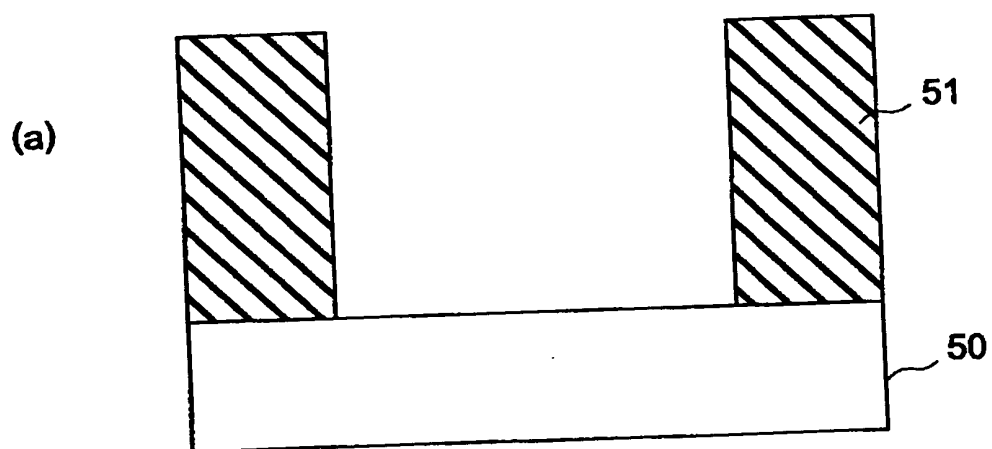
【図 3】



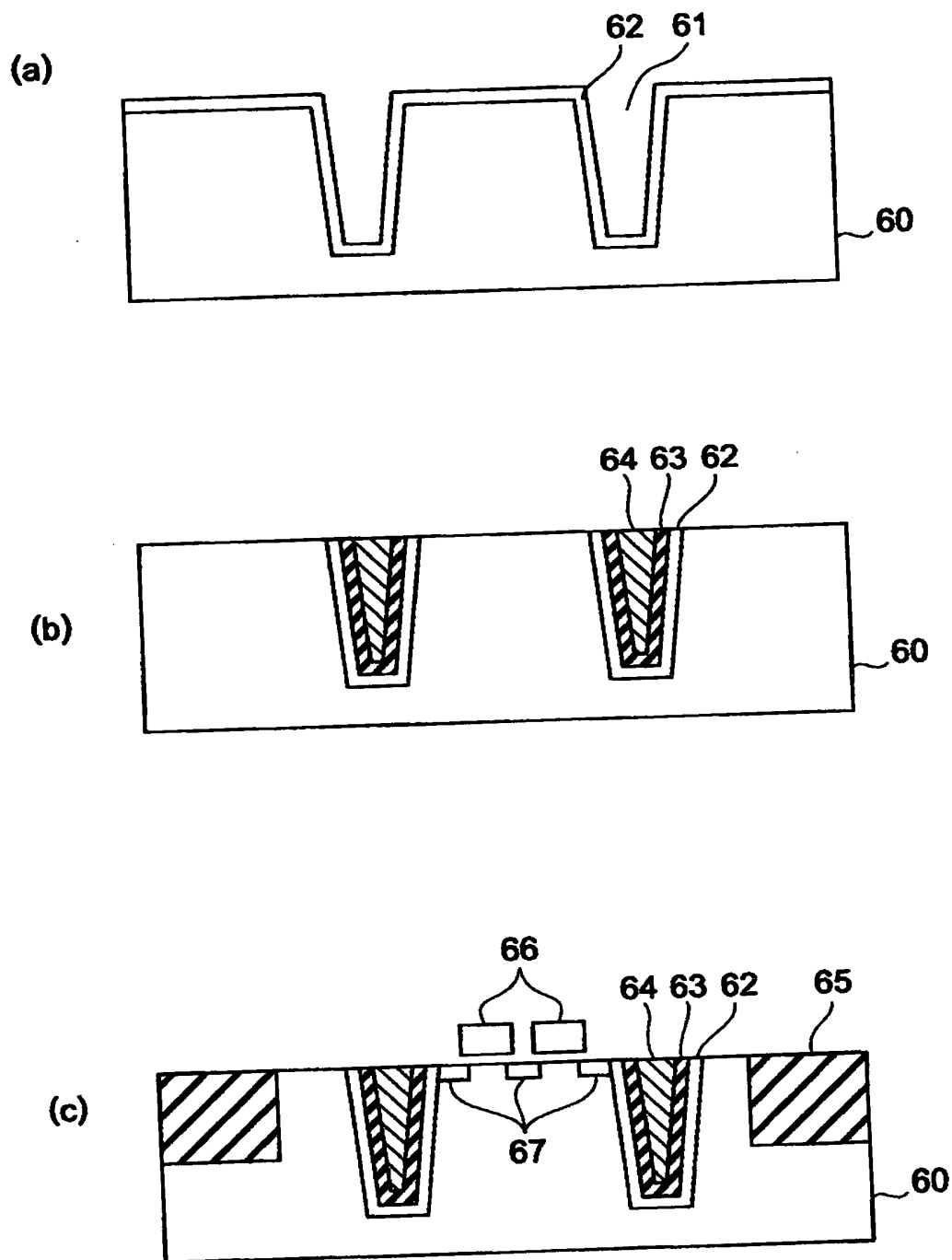
【図4】



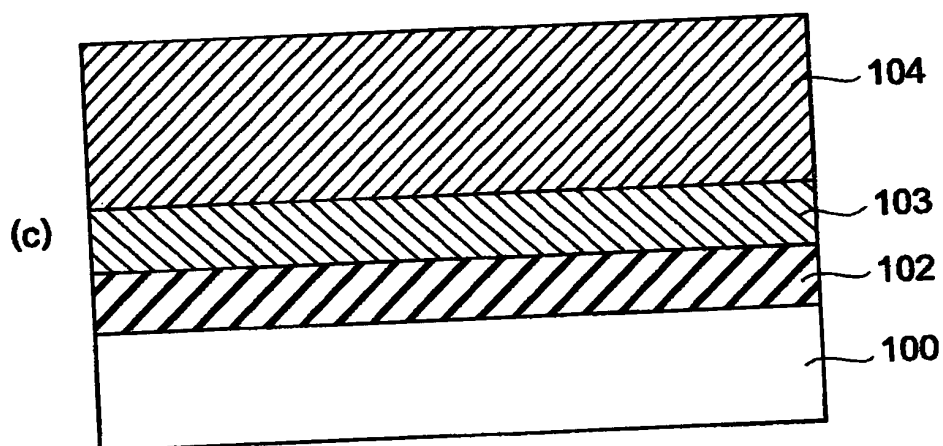
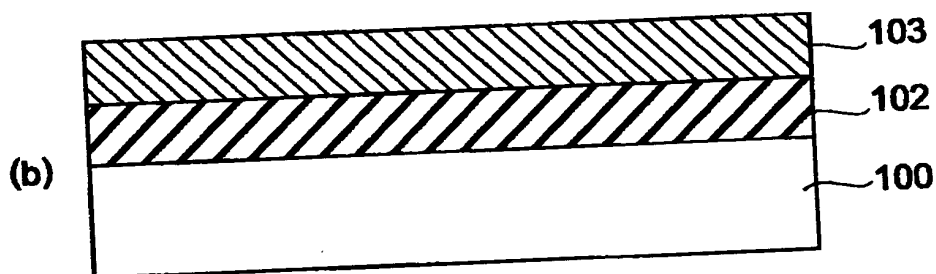
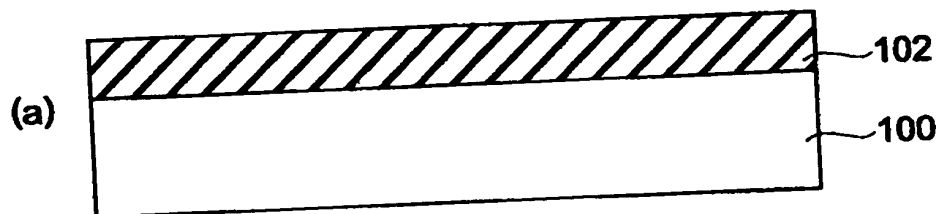
【図5】



【図 6】



【図7】



【書類名】 要約書

【要約】

【課題】 金属酸化物からなるゲート絶縁膜の信頼性を向上させ、素子特性の向上及び信頼性の向上をはかる。

【解決手段】 ゲート絶縁膜等に金属酸化物膜を用いる半導体装置の製造方法において、シリコン基板 10 上に CVD 法で TiN 膜 11 を成膜した後、 O_2 雰囲気中での熱処理により TiN 膜 11 を酸化して TiO_2 膜 12 にする工程と、次いで TiO_2 膜 12 上にバリアメタルとしての TiN 膜 13 を形成し、しかるのち TiN 膜 13 上にゲート電極 14 を形成する。

【選択図】 図 1

特平11-041343

出 願 人 履 歴 情 報

識別番号

[000003078]

1. 変更年月日

1990年 8月22日

[変更理由]

新規登録

住 所

神奈川県川崎市幸区堀川町72番地

氏 名

株式会社東芝